

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-137467

(43)Date of publication of application : 16.05.2000

(51)Int.Cl.

G09G 3/36
G02F 1/133
G09G 3/20

(21)Application number : 10-313608

(71)Applicant : TEXAS INSTR JAPAN LTD

(22)Date of filing : 04.11.1998

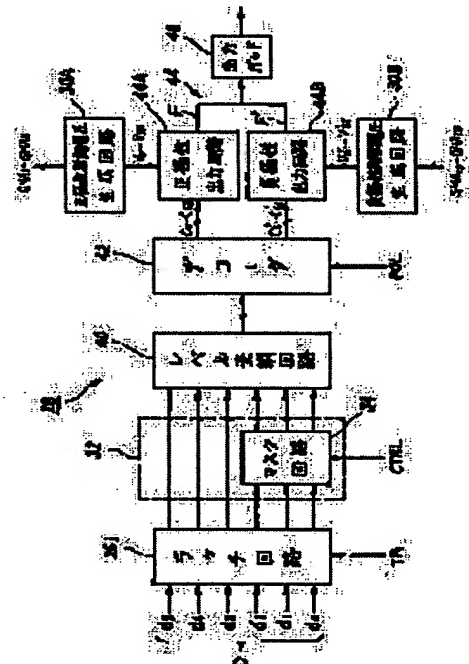
(72)Inventor : KUBOTA YASUSHI
TAKUWA MIKIO

(54) SIGNAL LINE DRIVING CIRCUIT FOR LIQUID CRYSTAL DISPLAY

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a signal line driving circuit for a liquid crystal display which improves charge and discharge characteristics to signal lines of a liquid crystal panel.

SOLUTION: A DA converter 28 has a gradation adjusting circuit 32, a level converting circuit 40, a decoder 42, an output circuit 44, and an output pad 46 for each channel. The gradation adjusting circuit 32 receives input image data D [d0 d1 d2 d3 d4 d5] of six bits fed from a latch part 26j for one channel of a data latch circuit 26 at the line cycle, and outputs the three high rank bits d3 d4 d5 as they are by passing them therethrough for the 1st period directly after the pixel drive period for one line starts, and also outputs the lower rank three bits by forcibly making them to '0' [0, 0, 0], and outputs all the bits [d0 d1 d2 d3 d4 d5] therethrough as they are for the remaining 2nd period. The image data outputted from the gradation adjusting circuit 32 is inputted to a decoder 42 via a level converting circuit 40, and decoded. One of the gradation voltages is selected according to the result of the decoding.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2000-137467

(P2000-137467A)

(43)公開日 平成12年5月16日(2000.5.16)

(51)Int.Cl.⁷

識別記号

F I

テマコード*(参考)

G 0 9 G 3/36

G 0 9 G 3/36

2 H 0 9 3

G 0 2 F 1/133

5 7 5

G 0 2 F 1/133

5 7 5

5 C 0 0 6

G 0 9 G 3/20

6 1 2

G 0 9 G 3/20

6 1 2 F

5 C 0 8 0

6 2 3

6 2 3 C

6 2 3 K

審査請求 未請求 請求項の数5 O L (全 17 頁)

(21)出願番号

特願平10-313608

(22)出願日

平成10年11月4日(1998.11.4)

(71)出願人 390020248

日本テキサス・インスツルメンツ株式会社
東京都新宿区西新宿六丁目24番1号

(72)発明者 久保田 泰史

埼玉県鳩ヶ谷市南3丁目18番36号 日本テ
キサス・インスツルメンツ株式会社内

(72)発明者 宅和 幹雄

埼玉県鳩ヶ谷市南3丁目18番36号 日本テ
キサス・インスツルメンツ株式会社内

(74)代理人 100086564

弁理士 佐々木 聖孝

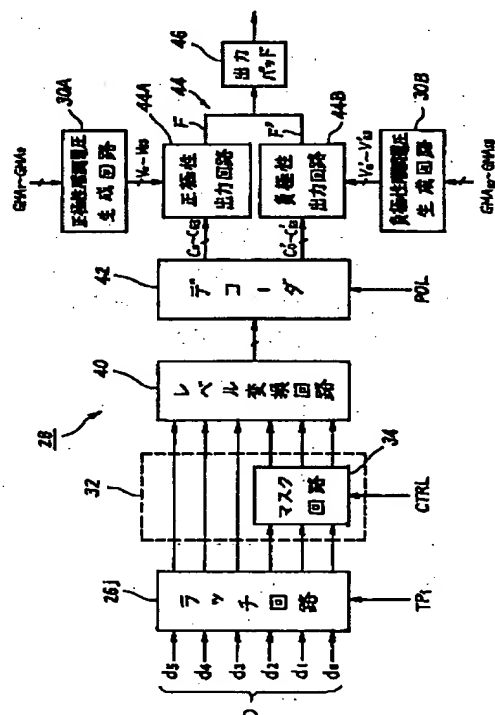
最終頁に続く

(54)【発明の名称】 液晶ディスプレイ用信号線駆動回路

(57)【要約】

【課題】 液晶パネルの信号線に対するチャージおよび
ディスチャージ特性を改善する。

【解決手段】 D/Aコンバータ28は、1チャンネル毎
に、階調調節回路32、レベル変換回路40、デコーダ
42、出力回路44および出力パッド46を有してい
る。階調調節回路32は、データラッチ回路26の1チ
ャンネル分のラッチ部26jよりライン周期で与えられ
る6ビットの入力画像データD[d0 d1 d2 d3 d4
d5]を入力し、1ライン分の画素駆動期間の開始直後
の第1の期間中は上位3ビット[d3 d4 d5]をその
ままスルーで出力するとともに下位3ビットを強制的に
“0”[000]にして出力し、残りの第2の期間中は
全ビット[d0 d1 d2 d3 d4 d5]をそのままスルー
で出力する。階調調節回路32より出力された画像デ
ータはレベル変換回路40を介してデコーダ42に入力
され、デコードされる。そのデコーディング結果に応じ
ていずれか1つの階調電圧が選択される。



【特許請求の範囲】

【請求項1】 マトリクス状に配置された複数の画素電極と1つの対向電極との間に液晶が充填され、各々の前記画素電極は各対応する薄膜トランジスタを介して各対応する信号線に電気的に接続されるとともに、前記薄膜トランジスタの制御端子は各対応するゲート線に電気的に接続され、前記対向電極には所定の対向電極電圧が印加され、各々の前記画素電極には各対応する前記ゲート線が駆動される度毎に所望の表示階調に対応した電圧レベルを有する階調電圧が前記信号線および前記薄膜トランジスタを介して印加されるように構成された液晶ディスプレイ用の信号線駆動回路において、前記対向電極電圧に対して相対的に正の極性を有し、かつ設定された全ての表示階調にそれぞれ対応した電圧レベルを有する複数の正極性階調電圧を発生する第1の階調電圧発生手段と、前記対向電極電圧に対して相対的に負の極性を有し、かつ設定された全ての表示階調にそれぞれ対応した電圧レベルを有する複数の負極性階調電圧を発生する第2の階調電圧発生手段と、各々の前記信号線に対してライン周期で与えられる1画素分の所望の表示階調を表すNビット ($N > 2$) のデジタル階調データを保持するデータラッチ手段と、1ライン分の液晶駆動期間のうち開始直後の第1の期間は前記階調データの上位Mビット ($M < N$) をデコードして、前記第1または第2の階調電圧発生手段より与えられる前記複数の正極性階調電圧もしくは負極性階調電圧の中から前記上位Mビットの値に対応した階調電圧を選択して前記信号線に出力し、残りの第2の期間は前記階調データの全ビットをデコードして、前記第1または第2の階調電圧発生手段より与えられる前記複数の正極性階調電圧もしくは負極性階調電圧の中から前記全ビットの値に対応した階調電圧を選択して前記信号線に出力するデジタル・アナログ変換手段とを有する信号線駆動回路。

【請求項2】 前記第1または第2の階調電圧発生手段が、少なくとも2つの基準電圧を所定の抵抗値を有する複数の抵抗で分圧して前記複数の正極性階調電圧または負極性階調電圧を生成する抵抗分圧回路を含むことを特徴とする請求項1に記載の信号線駆動回路。

【請求項3】 前記第1または第2の階調電圧発生手段が、前記複数の正極性階調電圧または負極性階調電圧のうち前記階調データの上位Mビットで指定される $2M + 1$ 個の階調電圧を基準電圧として発生する基準電圧電源と、前記基準電圧電源からの前記 $2M + 1$ 個の基準電圧を所定の抵抗値を有する複数の抵抗で分圧して残りの階調電圧を生成する抵抗分圧回路とを有することを特徴とする請求項1に記載の信号線駆動回路。

【請求項4】 マトリクス状に配置された複数の画素電極と1つの対向電極との間に液晶が充填され、各々の前

記画素電極は各対応する薄膜トランジスタを介して各対応する信号線に電気的に接続されるとともに、前記薄膜トランジスタの制御端子は各対応するゲート線に電気的に接続され、前記対向電極には所定の対向電極電圧が印加され、各々の前記画素電極には各対応する前記ゲート線が駆動される度毎に所望の表示階調に対応した電圧レベルを有する階調電圧が前記信号線および前記薄膜トランジスタを介して印加されるように構成された液晶ディスプレイ用の信号線駆動回路において、

各々の前記信号線に対してライン周期で与えられる1画素分の所望の表示階調を表すNビット ($N > 2$) のデジタル階調データを保持するデータラッチ手段と、前記対向電極電圧に対して相対的に正の極性を有し、かつ設定された全ての表示階調にそれぞれ対応した電圧レベルを有する複数の正極性階調電圧のうち前記階調データの上位Mビット ($M < N$) で指定可能な $2M + 1$ 個の階調電圧を基準電圧として発生する第1の基準電圧電源と、前記第1の基準電圧電源より与えられる前記 $2M + 1$ 個の基準電圧を所定の抵抗値を有する複数の抵抗で分圧して前記複数の正極性階調電圧を発生する第1の抵抗分圧回路と、

前記対向電極電圧に対して相対的に負の極性を有し、かつ設定された全ての表示階調にそれぞれ対応した電圧レベルを有する複数の負極性階調電圧のうち前記階調データの上位Mビットで指定可能な $2M + 1$ 個の階調電圧を基準電圧として発生する第2の基準電圧電源と、前記第2の基準電圧電源より与えられる前記 $2M + 1$ 個の基準電圧を所定の抵抗値を有する複数の抵抗で分圧して前記複数の負極性階調電圧を発生する第2の抵抗分圧回路と、

1ライン分の液晶駆動期間のうち開始直後の第1の期間は前記階調データの上位Mビット ($M < N$) をデコードして、前記第1の基準電圧電源より与えられる前記 $2M + 1$ 個の正極性階調電圧もしくは負極性階調電圧の中から前記上位Mビットに対応した階調電圧を選択して前記信号線に出力し、残りの第2の期間は前記階調データの全ビットをデコードして、前記第1または第2の抵抗分圧回路より与えられる前記複数の正極性階調電圧もしくは負極性階調電圧の中から前記全ビットに対応した階調電圧を選択して前記信号線に出力するデジタル・アナログ変換手段とを有する信号線駆動回路。

【請求項5】 入力端子が前記デジタル・アナログ変換手段の出力端子に電気的に接続されるとともに、出力端子が前記信号線に電気的に接続された増幅器を有する請求項1～4のいずれかに記載の信号線駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、多階調表示を行う薄膜トランジスタ型の液晶ディスプレイ (TFT-LC

D) および液晶パネルに関する。

【0002】

【従来の技術】図19に、一般的なTFT液晶パネルの回路構成(一部)を示す。

【0003】この種の液晶パネルは、複数本のゲート線 $\cdots Y_{i-1}, Y_i, Y_{i+1} \cdots$ と複数本の信号線 $\cdots X_{j-1}, X_j, X_{j+1} \cdots$ とをマトリクス状に交差配置し、各交差点の画素に透明導電膜からなる1個の画素電極Pと1個の薄膜トランジスタTFTを配置してなる。

【0004】各画素電極Pと対向電極COMと両者の間に挟まれた液晶Qによって1画素分の信号蓄積容量CLが構成される。また、各画素電極Pが形成される側と同じ側に、信号蓄積補助容量CSを形成するための補助電極Gが配置されている。

【0005】各列(たとえばj列)においては、全ての画素電極 $\cdots P_{i-1,j}, P_{i,j} \cdots$ が、それぞれ対応する薄膜トランジスタ $\cdots TFT_{i-1,j}, TFT_{i,j} \cdots$ を介して各列の信号線 X_j に電氣的に共通接続されている。

【0006】各行(たとえばi行)においては、その行の全ての薄膜トランジスタ $\cdots TFT_{i,j-1}, TFT_{i,j}, TFT_{i,j+1} \cdots$ の制御端子が共通のゲート線 Y_i に電氣的に接続されている。

【0007】ゲート線 $\cdots Y_{i-1}, Y_i, Y_{i+1} \cdots$ は、ゲート線ドライバ(図示せず)により1フレーム期間(1V)内に通常は線順次走査で1行(1ライン)ずつ選択されてアクティブ状態に駆動される。ゲート線たとえば Y_i がアクティブ状態になると、そのライン(i行)上の全ての薄膜トランジスタ $\cdots TFT_{i,j-1}, TFT_{i,j} \cdots$ がオンする。これと同期して、各列の信号線駆動回路(図示せず)よりi行上の全ての画素に対するアナログの階調電圧がそれぞれ出力され、これらの階調電圧は各列の信号線 $\cdots X_{j-1}, X_j \cdots$ およびオン状態の薄膜トランジスタ $\cdots TFT_{i,j-1}, TFT_{i,j} \cdots$ を介してそれぞれ対応する画素電極 $\cdots P_{i,j-1}, P_{i,j} \cdots$ に印加(書き込み)されるようになっている。

【0008】図20に、このTFT液晶パネルの1本分の信号線を駆動するための信号線駆動回路の要部の構成を示す。

【0009】この信号線駆動回路において、ラッチ回路100には、1ライン周期で与えられるタイミングパルスTPに応動して1画素分の入力画像データDが取り込まれる。画像データDは、そのビット数nで表現可能な 2^n 個の表示階調の中のいずれか1つをそのデータ値($d_0, d_1, \cdots, d_{n-1}$)で指定する階調データである。

【0010】ラッチ回路100に取り込まれた画像データDは、レベル変換回路102でたとえば3ボルト系から10ボルト系に電圧変換を受けたうえでデコーダ104に入力される。

【0011】デコーダ104の後段に設けられている出力回路106には、抵抗分圧回路からなる階調電圧発生

回路108より、設定された全て(2^n 個)の表示階調にそれぞれ対応した電圧レベルを有する複数の階調電圧 $V_0 \sim V_{K-1}, V'_0 \sim V'_{K-1}$ ($K=2^n$)が供給される。

【0012】たとえばコモン一定駆動法によって液晶に交流電圧を印加する場合、画素電極には一定値の対向電極電圧に対して正極及び負極の各々で階調電圧を印加するため、設定された表示階調の2倍の数($2K$)の階調電圧が用いられる。したがって、たとえばK階調の場合、階調電圧発生回路108は正極性のK個の階調電圧 $V_0 \sim V_{K-1}$ だけでなく負極性のK個の階調電圧 $V'_0 \sim V'_{K-1}$ をも発生する。

【0013】出力回路106は、階調電圧または表示階調の総数の2倍の個数($2K$)のスイッチ素子たとえばアナログスイッチを有している。各アナログスイッチの入力端子は階調電圧発生回路108からの各対応する階調電圧を受け、出力端子は共通の出力パッド110に接続されている。また、各アナログスイッチの制御端子はデコーダ104の $2K$ 個の出力の中の1つに接続されており、それらの導通がデコーダ104の出力により制御される。出力パッド110は、対応する1本の信号線X(図示せず)に接続されている。

【0014】デコーダ104は、レベル変換回路102より入力した1画素分のnビットの階調データDをデコードして、 $2K$ 個の出力の中の1つを選択的にアクティブ状態にする。これにより、出力回路106では、デコーダ104によって選択された1つのアナログスイッチがオン状態となり、このアナログスイッチを介して該当の階調電圧 V_j が出力される。この出力回路106より出力された階調電圧 V_j が出力パッド110を介して信号線Xに供給される。

【0015】なお、図21に示すようにY方向で1ライン毎に画素電圧の極性つまり信号線Xに供給する階調電圧の極性を反転させるために、1ライン(1水平走査期間TH)毎に論理値の反転するライン反転制御信号POLがデコーダ104に与えられる。デコーダ104は、POLがHレベルのときは正極性側のK個の出力の中から階調データDの値に対応するもの(V_j)を選択し、POLがLレベルのときは負極性側のK個の出力の中から階調データDの値に対応するもの(V'_j)を選択する。

【0016】正極性の階調電圧 V_j が選択されたときは、出力回路106および出力パッド110を介して階調電圧発生回路108より信号線 X_j 上に電流が供給され(チャージが行われ)、該当画素電極(たとえば $P_{i,j}$)に対向電極電圧COMよりも所望の表示階調に対応した値だけ高い電圧レベルで階調電圧 V_j が書き込まれる。

【0017】また、負極性の階調電圧 V'_j が選択されたときは、出力パッド110および出力回路106を介し

て信号線 X_j から階調電圧発生回路108側へ電流が引き込まれ(ディスチャージが行われ)、該当画素電極(たとえば $P_{i,j}$)に対向電極電圧COMよりも所望の表示階調に対応した値だけ低い電圧レベルで階調電圧 V'_j が書き込まれる。

【0018】

【発明が解決しようとする課題】上記したように、従来の信号線ドライバでは、各列(たとえば j 列)において1ライン毎に入力画像データ D の値に応じて正極性階調電圧 $V_0 \sim V_{K-1}$ の中のいずれか1つ(V_j)または負極性階調電圧 $V'_j \sim V'_{K-1}$ の中のいずれか1つ(V'_j)が選択され、画素駆動期間 TH の全時間を通じてこの選択された階調電圧 V_j (V'_j)により各信号線 X_j が駆動される。その際、画素駆動期間 TH の開始直後においては、信号線 X_j 上で充電電流または放電電流が流れることによって、電圧の極性が反転する。

【0019】しかしながら、従来の信号線ドライバでは、信号線 X_j に対する駆動力、特に画素駆動期間 TH の開始直後における充電(チャージ)および放電(ディスチャージ)の特性に改善すべき点がある。すなわち、階調電圧発生回路108を構成する分圧抵抗が充電電流または放電電流を制限するため、チャージ速度およびディスチャージ速度に限界があった。

【0020】このため、たとえば薄膜トランジスタTFTのソース線あるいはドレイン線に塵芥等が付着して階調電圧書き込みの電流経路が高抵抗になっていると、チャージまたはディスチャージ速度の遅れが顕著になり、図21の破線 L' で示すように当該画素において最終書き込み電圧が所望のレベルに達しなかったり、そこまで至らなくても破線 L で示すように実効電圧が不足し、所望の階調表示ができなくなることがあった。

【0021】このように、信号線 X_j に対するチャージおよびディスチャージ特性が十分でないため、階調電圧書き込みの電流経路が高抵抗になっている画素が結果として欠陥となり、液晶パネルの歩留りを下げる原因にもなっていた。

【0022】本発明は、かかる従来技術の問題点に鑑みてなされたもので、液晶パネルの信号線に対するチャージおよびディスチャージ特性を改善する液晶ディスプレイ用の信号線駆動回路を提供することを目的とする。

【0023】また、本発明は、液晶パネル内の各画素に対して安定確実に所望の電圧レベルで階調電圧を書き込むようにし、欠陥画素を少なくして、液晶パネルの歩留りを向上させる信号線駆動回路を提供することを目的とする。

【0024】また、本発明は、消費電力の低減化を実現する信号線駆動回路を提供することを目的とする。

【0025】

【課題を解決するための手段】上記の目的を達成するために、本発明のうち請求項1に記載の発明は、マトリク

ス状に配置された複数の画素電極と1つの対向電極との間に液晶が充填され、各々の前記画素電極は各対応する薄膜トランジスタを介して各対応する信号線に電気的に接続されるとともに、前記薄膜トランジスタの制御端子は各対応するゲート線に電気的に接続され、前記対向電極には所定の対向電極電圧が印加され、各々の前記画素電極には各対応する前記ゲート線が駆動される度毎に所望の表示階調に対応した電圧レベルを有する階調電圧が前記信号線および前記薄膜トランジスタを介して印加されるように構成された液晶ディスプレイ用の信号線駆動回路において、前記対向電極電圧に対して相対的に正の極性を有し、かつ設定された全ての表示階調にそれぞれ対応した電圧レベルを有する複数の正極性階調電圧を発生する第1の階調電圧発生手段と、前記対向電極電圧に対して相対的に負の極性を有し、かつ設定された全ての表示階調にそれぞれ対応した電圧レベルを有する複数の負極性階調電圧を発生する第2の階調電圧発生手段と、各々の前記信号線に対してライン周期で与えられる1画素分の所望の表示階調を表す N ビット($N > 2$)のデジタル階調データを保持するデータラッチ手段と、1ライン分の液晶駆動期間のうち開始直後の第1の期間は前記階調データの上位 M ビット($M < N$)をデコードして、前記第1または第2の階調電圧発生手段より与えられる前記複数の正極性階調電圧もしくは負極性階調電圧の中から前記上位 M ビットの値に対応した階調電圧を選択して前記信号線に出力し、残りの第2の期間は前記階調データの全ビットをデコードして、前記第1または第2の階調電圧発生手段より与えられる前記複数の正極性階調電圧もしくは負極性階調電圧の中から前記全ビットの値に対応した階調電圧を選択して前記信号線に出力するデジタル・アナログ変換手段とを有する構成とした。

【0026】請求項2に記載の発明は、上記請求項1に記載の発明の構成において、前記第1または第2の階調電圧発生手段が、少なくとも2つの基準電圧を所定の抵抗値を有する複数の抵抗で分圧して前記複数の正極性階調電圧または負極性階調電圧を生成する抵抗分圧回路を含むことを特徴とする。

【0027】請求項3に記載の発明は、上記請求項1に記載の発明の構成において、前記第1または第2の階調電圧発生手段が、前記複数の正極性階調電圧または負極性階調電圧のうち前記階調データの上位 M ビットで指定される $2M + 1$ 個の階調電圧を基準電圧として発生する基準電圧電源と、前記基準電圧電源からの前記 $2M + 1$ 個の基準電圧を所定の抵抗値を有する複数の抵抗で分圧して残りの階調電圧を生成する抵抗分圧回路とを有することを特徴とする。

【0028】請求項4に記載の発明は、マトリクス状に配置された複数の画素電極と1つの対向電極との間に液晶が充填され、各々の前記画素電極は各対応する薄膜ト

ランジスタを介して各対応する信号線に電氣的に接続されるとともに、前記薄膜トランジスタの制御端子は各対応するゲート線に電氣的に接続され、前記対向電極には所定の対向電極電圧が印加され、各々の前記画素電極には各対応する前記ゲート線が駆動される度毎に所望の表示階調に対応した電圧レベルを有する階調電圧が前記信号線および前記薄膜トランジスタを介して印加されるように構成された液晶ディスプレイ用の信号線駆動回路において、各々の前記信号線に対してライン周期で与えられる1画素分の所望の表示階調を表す N ビット($N > 2$)のデジタル階調データを保持するデータラッチ手段と、前記対向電極電圧に対して相対的に正の極性を有し、かつ設定された全ての表示階調にそれぞれ対応した電圧レベルを有する複数の正極性階調電圧のうち前記階調データの上位 M ビット($M < N$)で指定可能な $2M + 1$ 個の階調電圧を基準電圧として発生する第1の基準電圧電源と、前記第1の基準電圧電源より与えられる前記 $2M + 1$ 個の基準電圧を所定の抵抗値を有する複数の抵抗で分圧して前記複数の正極性階調電圧を発生する第1の抵抗分圧回路と、前記対向電極電圧に対して相対的に負の極性を有し、かつ設定された全ての表示階調にそれぞれ対応した電圧レベルを有する複数の負極性階調電圧のうち前記階調データの上位 M ビットで指定可能な $2M + 1$ 個の階調電圧を基準電圧として発生する第2の基準電圧電源と、前記第2の基準電圧電源より与えられる前記 $2M + 1$ 個の基準電圧を所定の抵抗値を有する複数の抵抗で分圧して前記複数の負極性階調電圧を発生する第2の抵抗分圧回路と、1ライン分の液晶駆動期間のうち開始直後の第1の期間は前記階調データの上位 M ビット($M < N$)をデコードして、前記第1の基準電圧電源より与えられる前記 $2M + 1$ 個の正極性階調電圧もしくは負極性階調電圧の中から前記上位 M ビットに対応した階調電圧を選択して前記信号線上に出力し、残りの第2の期間は前記階調データの全ビットをデコードして、前記第1または第2の抵抗分圧回路より与えられる前記複数の正極性階調電圧もしくは負極性階調電圧の中から前記全ビットに対応した階調電圧を選択して前記信号線上に出力するデジタル・アナログ変換手段とを有する構成とした。

【0029】請求項5に記載の発明は、上記請求項1～4のいずれかに記載の発明の構成において、入力端子が前記デジタル・アナログ変換手段の出力端子に電氣的に接続されるとともに、出力端子が前記信号線に電氣的に接続された増幅器を有する構成とした。

【0030】

【発明の実施の形態】以下、図1～図18を参照して本発明の実施例を説明する。

【0031】図1に、本発明の一実施例によるアクティブマトリクス方式のフルカラーTFT-LCDの構成を模式的に示す。

【0032】このTFT-LCDは、TFT液晶パネル10の周辺回路として、ゲート線 $Y1, Y2, \dots$ を駆動するための並列接続されたゲート線ドライバ $G1, G2, \dots$ と、信号線 $X1, X2, \dots$ を駆動するための並列接続された信号線(ソース)ドライバ $S1, S2, \dots$ と、各部の動作を制御するコントローラ12と、表示すべき画像信号に対して所要の信号処理を行う画像信号処理回路14と、 γ 補正用の基準電源電圧を発生する γ 補正用基準電源16とを備えている。

【0033】画像信号処理回路14は、各画素の表示階調を表すデジタルの画像データ(階調データ) D を各信号線ドライバ $S1, S2, \dots$ に供給する。本LCDのフルカラー(多階調表示)における R, G, B 各1色分の階調数が64階調に設定された場合は、 R, G, B の各画素につき6ビットの画像データ D が画像信号処理回路14より各信号線ドライバ $S1, S2, \dots$ に与えられる。

【0034】コントローラ12は、水平同期信号 HS および垂直同期信号 VS に同期した種々の制御信号またはタイミング信号を各ゲート線ドライバ $G1, G2, \dots$ および各信号線ドライバ $S1, S2, \dots$ に供給する。 γ 補正用基準電源16は、液晶パネル10の V (電圧)– T (透過率)特性に基づいた複数個たとえば18個の γ 補正用基準電源電圧 $GMA1 \sim GMA18$ を各信号線ドライバ $S1, S2, \dots$ に供給する。

【0035】液晶パネル10は、任意のTFTパネル構造を有するものでよく、以下の説明では図19の回路構成を有するものとする。

【0036】図2に、信号線ドライバ S の回路構成を示す。図示のように、信号線ドライバ S は、シフトレジスタ20、データラッチ回路22、24、26、DAコンバータ28および階調電圧生成回路30を有している。

【0037】シフトレジスタ20には、コントローラ12からのたとえば論理値“1”のボインティング情報を有するイネーブル入力信号 EIO が入力される。この信号 EIO が第1データラッチ回路(レジスタ)24の各チャンネル分のデータ格納位置を順次指示しながらシフトレジスタ20内でシフト方向選択信号 L/R の指示する方向にクロック CLK に同期してシフトされることで、画像信号処理回路14からの画像データ $D(DR, DG, DB)$ が第1データラッチ回路24にシリアルに取り込まれる。

【0038】第1データラッチ回路24内に所定数(たとえば240個)の画像データ D が全部揃うと、次にコントローラ12からのタイミングパルス $TP1$ に反応してそれら1ライン分の画像データ D がパラレルで第2データラッチ回路26に取り込まれる。

【0039】第2データラッチ回路26に取り込まれた1ライン分の画像データ D はDAコンバータ28に与えられ、DAコンバータ28内で後述するように各チャンネル毎に画像データ D をそのデータ値(表示階調)に対

応する電圧レベルを有する階調電圧 V へ変換するデジタル・アナログ変換処理が行われる。DAコンバータ28より出力された各チャンネル分の階調電圧 V_j は各対応する信号線 X_j に供給される。

【0040】階調電圧生成回路30は、 γ 補正用基準電源16からの γ 補正用基準電源電圧GMA1～GMA18を入力し、コモン一定駆動法で所要の階調(64階調)を実現するのに必要な正極性の階調電圧 $V_0 \sim V_{63}$ および負極性の階調電圧 $V'_0 \sim V'_{63}$ をDAコンバータ28に供給する。

【0041】図3に、DAコンバータ28内の1チャンネル分の回路構成を示す。図示のように、DAコンバータ28は、1チャンネル毎に、階調調節回路32、レベル変換回路40、デコーダ42、出力回路44および出力パッド46を有している。

【0042】階調調節回路32は、データラッチ回路26の1チャンネル分のラッチ部26jよりライン周期で与えられる6ビットの入力画像データD[d0 d1 d2 d3 d4 d5]を入力し、そのうちの上位3ビット[d3 d4 d5]をスルーで出力し、下位3ビット[d0 d1 d2]をマスク回路34に通して選択的に出力するようになっている。

【0043】図4に示すように、マスク回路34は、3ビット分のNAND回路36(0)、36(1)、36(2)およびインバータ38(0)、38(1)、38(2)から構成されている。

【0044】NAND回路36(0)、36(1)、36(2)の一方の入力端子には入力画像データDの各対応するビットd0、d1、d2がそれぞれ入力され、他方の入力端子にはコントローラ12からのマスク制御信号CTRLが供給される。

【0045】このマスク制御信号CTRLが論理値“0”になっている時は、入力ビットd0、d1、d2の値に関係なく各NAND回路36(0)、36(1)、36(2)の出力が強制的に論理値“1”になり、したがって各インバータ38(0)、38(1)、38(2)の出力が論理値“0”になる。これにより、ラッチ回路26jからの入力画像データDは、上位3ビット[d3 d4 d5]だけを有効ビットとする画像データD'[000 d3 d4 d5]に変換される。

【0046】マスク制御信号CTRLが論理値“1”になっている時は入力ビットd0、d1、d2に対してNAND回路36(0)、36(1)、36(2)がそれぞれインバータとして動作する。したがって、インバータ38(0)、38(1)、38(2)の出力端子には入力ビットd0、d1、d2がそれぞれそのままの値で得られる。これにより、ラッチ回路26jからの入力画像データDは全ビットがそのままの値(スルー)で後段のレベル変換回路40へ転送される。

【0047】図3において、レベル変換回路40は、こ

のDAコンバータ28においてコモン一定駆動法による正極性と負極性の双方にわたる階調電圧を扱えるように、画像データDの各ビットの論理電圧(たとえば3ボルト系)を高い電圧(10ボルト系)に変換してデコーダ42に与える。

【0048】デコーダ42の後段に設けられている出力回路44は、正極性出力回路44Aおよび負極性出力回路44Bからなる。一方、階調電圧生成回路30も正極性階調電圧生成回路30Aおよび負極性階調電圧生成回路30Bからなる。

【0049】図5に正極性出力回路44Aおよび正極性階調電圧生成回路30Aの回路構成を示し、図6に負極性出力回路44Bおよび負極性階調電圧生成回路30Bの回路構成を示す。

【0050】図5において、正極性出力回路44Aは、階調電圧または表示階調の総数に等しい個数(64個)のスイッチ素子たとえばアナログスイッチe0～e63を有している。各アナログスイッチeiの入力端子は正極性階調電圧生成回路30Aからの各対応する階調電圧 V_i を受け、出力端子は共通出力端子Fに接続され、制御端子はデコーダ42の対応出力端子ciに接続されている。

【0051】正極性階調電圧生成回路30Aは、 γ 補正用基準電源16からの正極性 γ 補正用基準電源電圧GMA1～GMA9を入力する9個の入力端子と、正極性の階調電圧 $V_0 \sim V_{63}$ を出力するための64個の出力端子またはノードとを有する直列抵抗分圧回路から構成されている。

【0052】この直列抵抗分圧回路において、一方の端の入力端子には10ボルト付近に設定された最も高い電圧レベルの γ 補正用基準電圧GMA1が与えられ、他方の端の入力端子には対向電極電圧COMの電圧レベルである5ボルト付近に設定された正極性で最も低い電圧レベルの γ 補正用基準電圧GMA9が与えられ、中間の入力端子には電圧レベルの高い方から順に正極性の中間レベルの γ 補正用基準電圧GMA2、GMA3、…GMA8がそれぞれ与えられる。

【0053】各入力端子に入力された γ 補正用基準電圧GMA1、GMA2、…GMA9は、直列抵抗分圧回路における分圧用の基準電圧として用いられるだけでなく、そのまま(スルーで)所定の階調電圧 V_0 、 V_8 、… V_{63} として出力される。

【0054】ここで、重要なことは、 γ 補正用基準電圧GMA1、GMA2、…GMA9に対応する階調電圧 V_0 、 V_8 、… V_{63} が、6ビットの入力画像データDの上位3ビット[d3 d4 d5]で指定されること、つまりマスク処理(変換)後の画像データD'によって直接指定されることである。同様のことが、後述する負極性 γ 補正用基準電源電圧GMA10～GMA18に対応する負極性の階調電圧 V'_0 、 V'_8 、… V'_{63} と入力画像データDまたはマスク処理後の画像データD'の間でも成立する。

【0055】隣合う2つの入力端子または γ 補正用基準電圧(たとえばGMA0とGMA1)の間では、所定の抵抗値を有する8個の抵抗からなる直列抵抗回路の7個のノードにそれぞれ中間または分圧タップが設けられている。これらの中間タップより両 γ 補正用基準電圧(GMA0, GMA1)の間で所定の電圧値に設定された7個の分圧電圧がそれぞれ階調電圧(V1, V2, ...V7)として取り出される。もっとも、下端部の2つの入力端子(γ 補正用基準電圧GMA9とGMA10)の間だけは、7個の分圧抵抗によって6個の階調電圧V57, V58, ...V62が取り出される。

【0056】図6に示すように、負極性出力回路44Bおよび負極性階調電圧生成回路30Bは、それぞれ正極性出力回路44Aおよび正極性階調電圧生成回路30Aと同じ回路構成になっている。

【0057】すなわち、負極性出力回路44Bは、階調電圧または表示階調の総数に等しい個数(64個)のスイッチ素子たとえばアナログスイッチ $e'0 \sim e'63$ を有している。各アナログスイッチ $e'i$ の入力端子は負極性階調電圧生成回路30Bからの各対応する階調電圧 $V'i$ を受け、出力端子は共通出力端子 F' に接続され、制御端子はデコード42の対応出力端子 $c'i$ に接続されている。

【0058】また、負極性階調電圧生成回路30Bは、 γ 補正用基準電源16からの負極性 γ 補正用基準電源電圧GMA10～GMA18を入力する9個の入力端子と、負極性の階調電圧 $V'0 \sim V'63$ を出力するための64個の出力端子またはノードとを有する直抵抗分圧回路から構成されている。

【0059】ここで、GMA10～GMA18のうち、GMA18は、0ボルト付近に設定された負極性で電圧レベルの最も低い基準電圧であり、正極性のGMA1に対応する。また、GMA10は、対向電極電圧COMの電圧レベルである5ボルト付近に設定された負極性で電圧レベルの最も高い基準電圧であり、正極性のGMA9に対応する。

【0060】図7に、入力画像データDの値(16進数表示)と γ 補正用基準電源電圧GMA1～GMA18との関係(γ 補正)を曲線で示す。図中、VDD1は10ボルト、VSS1は0ボルトの電源電圧レベルである。

【0061】また、図8に、入力画像データDの値(16進数表示および2進数表示)と正極性階調電圧 $V0 \sim V63$ との対応関係をテーブル(数値)で示す。入力画像データDの値と負極性階調電圧 $V'0 \sim V'63$ との対応関係は、図示していないが、正極性の場合($V0 \sim V63$)とほぼ同様である。

【0062】デコード42は、レベル変換回路40より全ビット有効の画像データDまたは上位3ビット有効の画像データ D' を入力するとともに、コントローラ12より1ライン(1水平走査期間TH)毎に論理値の反転するライン反転制御信号POLを受け取る。

【0063】POLがHレベルのとき、デコード42は、正極性側の64個の出力 $c0 \sim c63$ の中から画像データD(D')の値に対応するもの(たとえば cj)をアクティブにする。そうすると、正極性出力回路44Aでは、そのアクティブ状態のデコード出力 cj に対応するアナログスイッチ e_j がオンし、正極性階調電圧生成回路30Aからの該当階調電圧 Vj が該アナログスイッチ e_j を介して出力パッド46側に出力される。

【0064】POLがLレベルのときは、デコード42は、負極性側の64個の出力 $c'0 \sim c'63$ の中から画像データD(D')の値に対応するもの(たとえば $c'j$)をアクティブにする。そうすると、負極性出力回路44Bでは、そのアクティブ状態のデコード出力 $c'j$ に対応するアナログスイッチ $e'j$ がオンし、負極性階調電圧生成回路30Bからの該当階調電圧 $V'j$ が該アナログスイッチ $e'j$ を介して出力パッド46側に出力される。

【0065】次に、図10の波形につき本実施例における作用を示す。

【0066】本実施例では、各ラインの画素駆動期間THが開始直後に設定された所定時間の第1の期間Taと残存時間の第2の期間Tbとに分割されている。コントローラ12より階調調節回路32のマスク回路34に与えられるマスク制御信号CTRLは、第1の期間Ta中は論理値“1”の状態をとり、第2の期間Tb中は論理値“0”の状態をとる。

【0067】これにより、第1の期間Ta中は、マスク回路34のマスク作用により、入力画像データDが、下位3ビット[d0 d1 d2]を強制的に“0”値[000]とし上位3ビット[d3 d4 d5]だけを有効ビットとする画像データ D' [000 d3 d4 d5]に変換される。この上位3ビット有意の画像データ D' がデコード42でデコードされ、そのデータ値に対応した階調電圧が選択される。

【0068】ここで、デコードされる画像データ D' は、本来の入力画像データDよりも下位3ビットの値だけ小さな値を有するとともに、入力画像データDの全ビットの値に対応する階調電圧より小さい側の最も近接した γ 補正用基準電圧GMAに対応する階調電圧を指定する。

【0069】たとえば、入力画像データDが[001010]とすると、この本来のデータ値に対応する階調電圧は正極性ではV10、負極性では $V'10$ である。この場合、マスク処理後の画像データ D' は[001000]であり、このデータ値に対応する階調電圧は正極性ではV8、負極性では $V'8$ である。つまり、正極性および負極性のいずれの場合でも、画像データ D' で指定される階調電圧V8($V'8$)は、入力画像データDの本来指定する階調電圧V10($V'10$)と比較して下位3ビットの値に応じた階調数だけ対向電極電圧COMに対する電圧差(絶対値)の大きい方に移行し、しかも γ 補正用基準

電圧GMA2 (GMA17) に対応する。

【0070】こうして、第1の期間Ta 中は、対向電極電圧COMに対して本来の階調電圧よりも絶対値の大きい最近接の γ 補正用基準電圧GMA が階調電圧Vとして出力回路44および出力パッド46を介して対応信号線X_j に供給される。 γ 補正用基準電圧GMA は、 γ 補正用基準電源16より発生される電源電圧であり、しかも階調電圧生成回路30の分圧抵抗を bypass して供給されるため、信号線X_j に対する駆動能力が大きい。

【0071】これにより、図10に示すように、各ラインの画素駆動期間TH の開始直後に各信号線X_j で極性反転のチャージまたはディスチャージが迅速かつ強力に行われる。

【0072】第1の期間Ta が終了すると、第2の期間Tb に入る。第2の期間Tb では、マスク回路34が実質的にスルー状態となり、入力画像データDの全ビットがそのままの値でデコーダ42に入力されることにより、入力画像データDの本来(全ビット)の値に対応した階調電圧V_j に切り替わる。

【0073】この本来の階調電圧V_j は、それまで選択されていた階調電圧つまり γ 補正用基準電圧GMA よりも下位3ビットの値分だけ階調度の低い電圧レベルを有する。これにより、信号線Xの電圧が目的のレベルに移行し、結果として当該画素電極Pに所望の階調電圧が印加(書き込み)される。

【0074】図10において、破線Q、Q' は画素電極に印加される電圧を示す。本実施例では、上記したように、画素駆動期間TH の開始直後に本来以上の駆動力で極性反転のチャージまたはディスチャージを行う。これにより、信号線Xないし薄膜トランジスタTFTの階調電圧書き込みの電流経路の抵抗値が塵埃等の付着によって少々高くなっている、本来以上の駆動力を有するチャージまたはディスチャージによって安定確実に所望の書き込み電圧に到達させることができる。したがって、従来の駆動方式では表示不良となっていた画素にも所望の電圧を書き込むことができ、結果として液晶パネルの歩留りを向上させることができる。

【0075】また、本実施例では、画素駆動期間TH の開始直後におけるチャージ(充電)およびディスチャージ(放電)を γ 補正用基準電源16からの基準電圧GMA によって行うので、階調電圧生成回路30の分圧抵抗を介して信号線Xに供給する電流を少なくすることができる。したがって、階調電圧生成回路30において抵抗値の高い分圧抵抗を使用することができ、それによって定常時に抵抗分圧回路を流れる電流に因る消費電力を大幅に少なくすることができる。

【0076】次に、図11～図16につき本実施例の変形例および他の実施例を説明する。なお、上記実施例のものと同じの構成・機能を有する部分には同一の符号を付している。

【0077】図11に示す変形例は、正極性および負極性の出力回路44A、44Bと出力パッド46との間に出力アンプ48、50を挿入したものである。これらの出力アンプ48、50は、インピーダンス変換機能を有する演算増幅器の電圧フォロアで構成されてよい。出力アンプ48、50の入力インピーダンスが非常に高いため、階調電圧生成回路30の出力電流を一層少なくし、低消費電力化をはかることができる。

【0078】図12に示す構成は、 γ 補正用基準電源16に代えて、一対の基準電源電圧VDD1、VSS1を基に階調電圧生成回路52内で分圧抵抗により全ての所要の階調電圧V₀～V₆₃、V'₀～V'₆₃を生成するようにしたものである。

【0079】図13に、階調電圧生成回路52の回路構成を示す。図示のように、外部電源(図示せず)からの電源電圧VDD1(たとえば10ボルト)、VSS1(たとえば0ボルト)が両端の入力端子に入力され、両入力端子の間に接続されている直列抵抗回路の127個のノードまたはタップより分圧電圧として正極性の階調電圧V₀～V₆₃および負極性の階調電圧V'₀～V'₆₃が取り出される。

【0080】かかる構成例によっても、画素駆動期間TH の開始直後の第1の期間Ta で、目的の電圧よりも絶対値の高い電圧で駆動することにより、安定確実に所望の書き込み電圧に到達させることができる。

【0081】図14の構成例は、階調調節回路32においてマスク回路34によるマスキング対象となる入力画像データDのビットを下位4ビット[d₀ d₁ d₂ d₃]としたものである。

【0082】この場合、第1の期間Ta 中は、入力画像データDの上位2ビットで指定される階調電圧、つまりV₀(V'₀)、V₁₆(V'₁₆)、V₃₂(V'₃₂)、V₆₃(V'₆₃)の中で画像データDの全ビットの値に対応する本来の階調電圧よりも階調度(対向電極電圧COMに対する絶対値)の大きい最近接のものが選択的に出力される。第2の期間Tb では、入力画像データDの全ビットで指定される本来の階調電圧V_j が選択される。

【0083】図15の構成例は、階調調節回路32においてマスク回路34によるマスキング対象となる入力画像データDのビットを下位2ビット[d₀ d₁]としたものである。

【0084】この場合、第1の期間Ta 中は、入力画像データDの上位4ビットで指定される階調電圧、つまりV₀(V'₀)、V₄(V'₄)、V₈(V'₈)、…V₆₃(V'₆₃)の中で画像データDの全ビットの値に対応する本来の階調電圧よりも階調度(対向電極電圧COMに対する絶対値)の大きい最近接のものが選択的に出力される。第2の期間Tb では、入力画像データDの全ビットで指定される本来の階調電圧V_j が選択される。

【0085】なお、階調調節回路32は、ラッチ回路2

6jとレベル変換回路40との間に限定されるものではなく、画像データDの信号パス上におけるラッチ回路の後の任意の位置に設けることが可能である。

【0086】図16の構成例は、図11の構成において正極性および負極性側にそれぞれ補助出力回路54、56を設けたものである。各補助出力回路54、56は、入力する γ 補正用基準電圧GMAに等しい個数(9個)のアナログスイッチを並列接続したものでよく、各アナログスイッチの制御端子にデコーダ42からの各対応するデコード出力fを受け取る。

【0087】ここで、デコーダ42からの補助出力回路54、56に対するデコード出力[f1~f9]、[f10~f18]は、第1の期間Ta中にマスク処理後の画像データD'(入力画像データDの上位3ビット)をデコードして択一的に活性化されるもので、正極性および負極性出力回路44A、44Bに対するデコード出力[c0, c8, ..., c63], [c'63, c'56, ..., c'0]にそれぞれ相当する。

【0088】この構成例によれば、第1の期間Taにおけるチャージまたはディスチャージを補助出力回路54、56を介して高速に行うことができ、出力アンプ48、50の電流負担を少なくすることができる。

【0089】図17の構成例は、正極性階調電圧生成回路30Aからの正極性階調電圧V0~V63と負極性階調電圧生成回路30Bからの負極性階調電圧V'0~V'63とを切替スイッチ58により反転制御信号POLに応じて所定のライン周期で切り替えることで、正極性と負極性とで出力回路44を共通化したものである。

【0090】図18の構成例は、各隣合う2つのチャンネル分の駆動部において、左側のDAコンバータ28Aおよび出力アンプ47Aを正極性の階調電圧専用構成するとともに右側のDAコンバータ28Bおよび出力アンプ47Bを負極性の階調電圧専用構成し、両DAコンバータ28A、28Bの前段に設けた第1切換回路60A、60Bと両出力アンプ47A、47Bの後段に設けた第2切換回路62A、62Bとを所定の周期たとえばライン周期かつフレーム周期で切り換えることにより、コモン一定駆動法と完全ドット反転(1画素毎の反転)とを実現させるものである。

【0091】なお、上記した実施例において、種々の変形が可能である。たとえば、DAコンバータ28のデコーダは任意のロジック回路で構成することが可能であり、ROM型のデコーダで構成することも可能である。データラッチ回路24、26等のデータ転送手段も種々の形式が可能である。レベル変換回路40は、必要に応じて、たとえば本実施例の信号線ドライバをコモン反転駆動法に適用する場合は省くことが可能である。

【0092】

【発明の効果】以上説明したように、本発明の信号線駆動回路によれば、液晶パネルの信号線に対するチャージ

およびディスチャージ特性を改善し、欠陥画素を少なくして、液晶パネルの歩留りを向上させることができる。また、低消費電力化を実現することができる。

【図面の簡単な説明】

【図1】本発明の一実施例によるアクティブマトリクス方式のフルカラーTFT-LCDの構成を示すブロック図である。

【図2】実施例の信号線ドライバの回路構成を示す図である。

【図3】実施例の信号線ドライバにおける1チャンネル分の駆動回路の回路構成を示す図である。

【図4】実施例における階調調節回路内のマスク回路の回路構成例を示す図である。

【図5】実施例における正極性出力回路および正極性階調電圧生成回路の回路構成を示す図である。

【図6】実施例における負極性出力回路および負極性階調電圧生成回路の回路構成を示す図である。

【図7】実施例における γ 補正曲線を示す図である。

【図8】実施例における γ 補正テーブルを示す図である。

【図9】実施例における γ 補正テーブルを示す図である。

【図10】実施例における作用を説明するための各部の波形を示す図である。

【図11】変形例の構成を示すブロック図である。

【図12】変形例の構成を示すブロック図である。

【図13】変形例における階調電圧生成回路の回路構成を示す図である。

【図14】変形例の構成を示すブロック図である。

【図15】変形例の構成を示すブロック図である。

【図16】変形例の構成を示すブロック図である。

【図17】変形例の構成を示すブロック図である。

【図18】変形例の構成を示すブロック図である。

【図19】TFT液晶パネルの回路構成を示す図である。

【図20】従来の信号線駆動回路の回路構成を示すブロック図である。

【図21】従来の信号線駆動回路の作用を説明するための各部の波形を示す図である。

【符号の説明】

10 TFT液晶パネル

12 コントローラ

14 画像信号処理回路

16 γ 補正用基準電源

S1, S2... 信号線ドライバ

24, 26 データラッチ回路

30 階調電圧生成回路

30A 正極性階調電圧生成回路

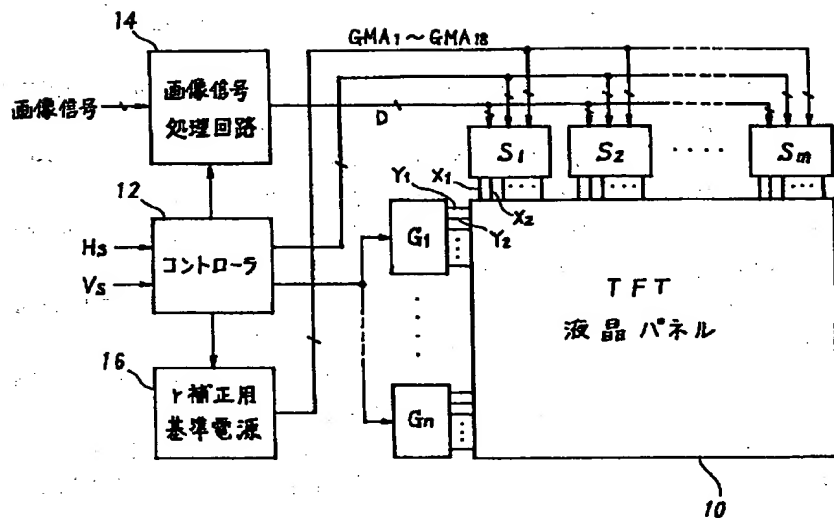
30B 正極性階調電圧生成回路

32 階調制御回路

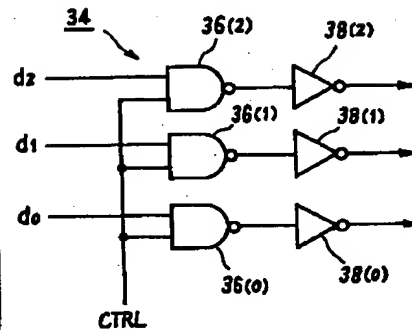
34 マスク回路
42 デコーダ

4.4 出力回路

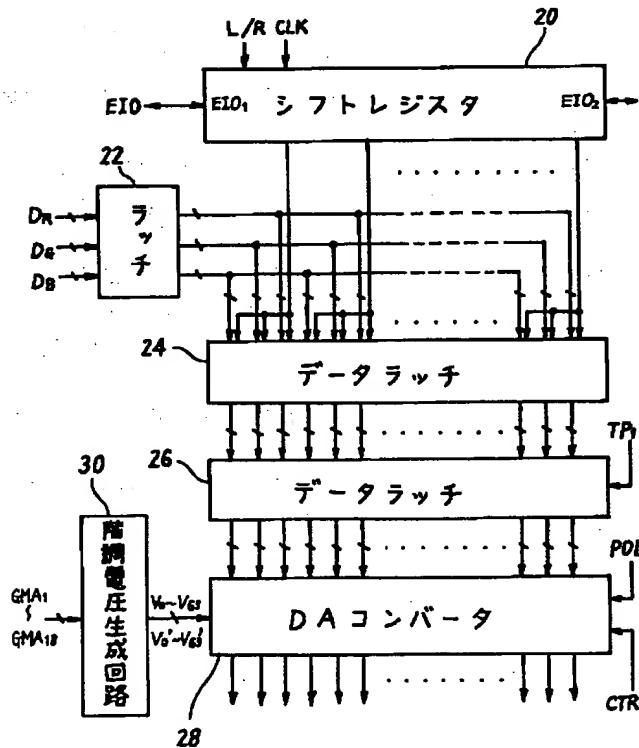
【図1】



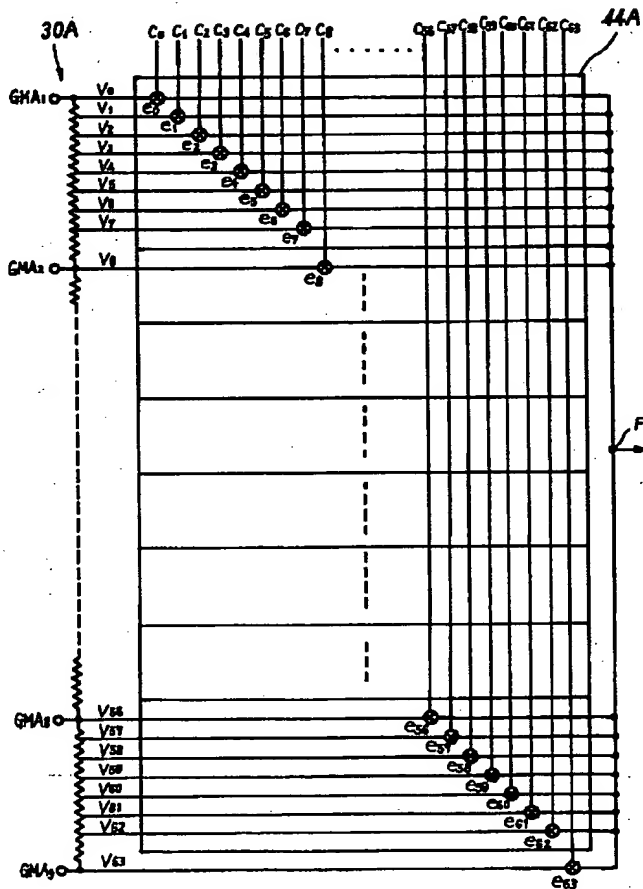
【図4】



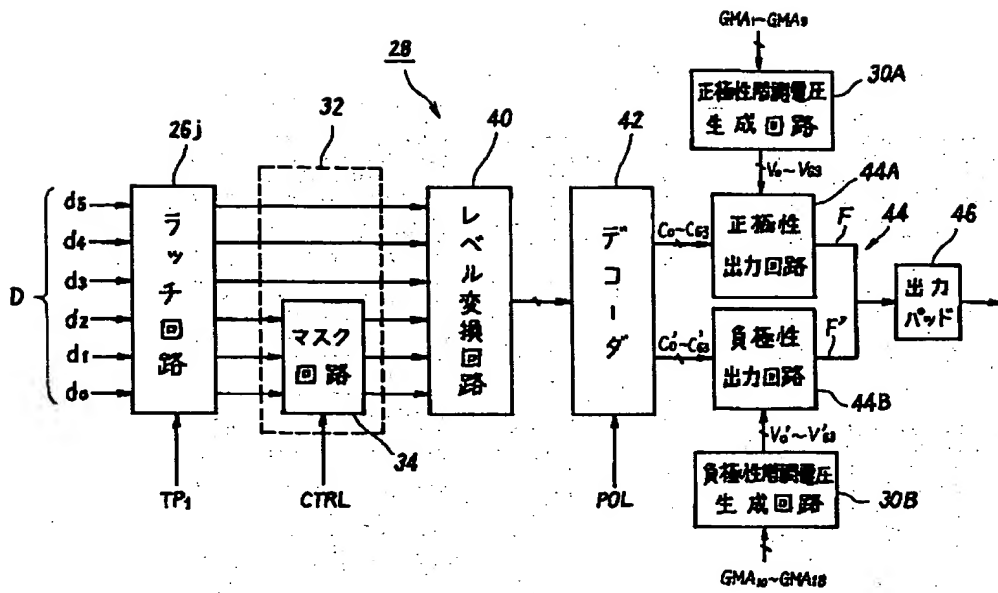
【図2】



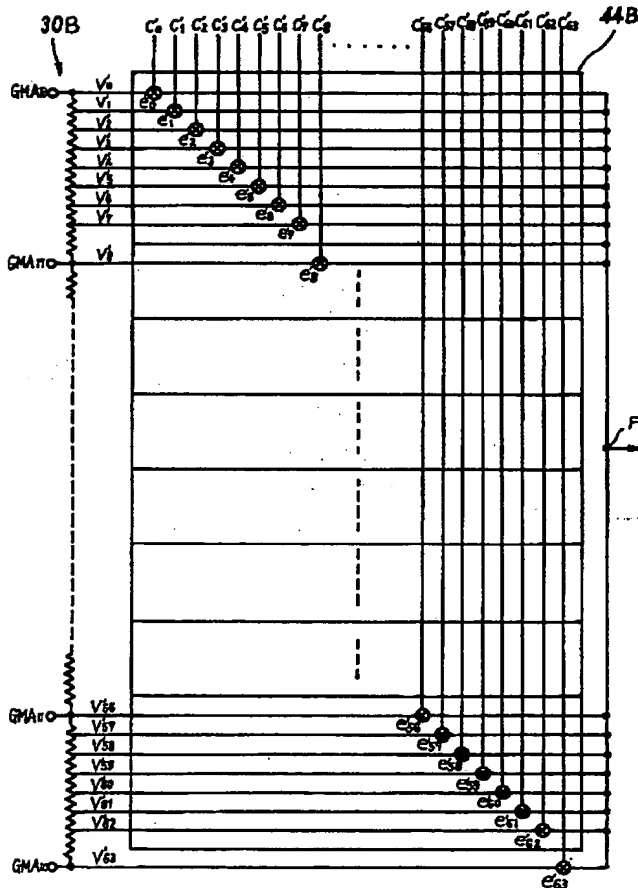
【図5】



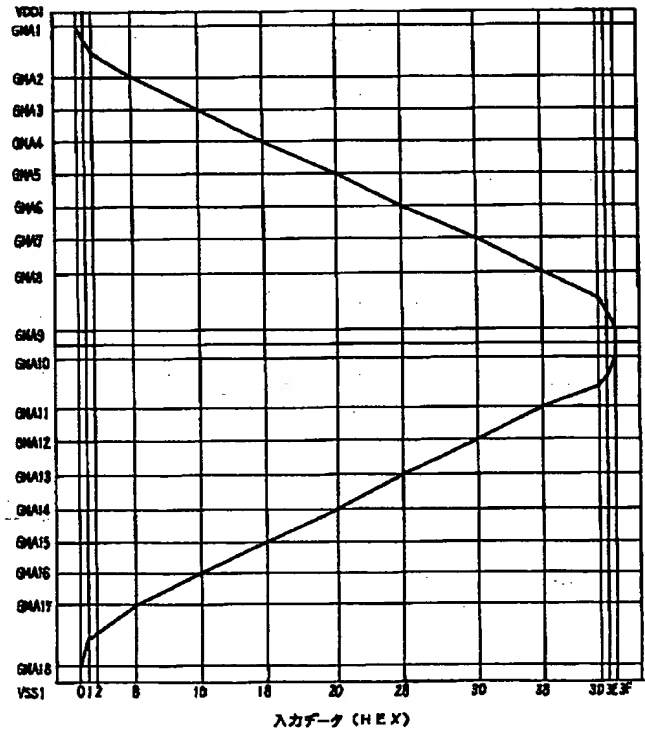
【図3】



【図6】



【図7】



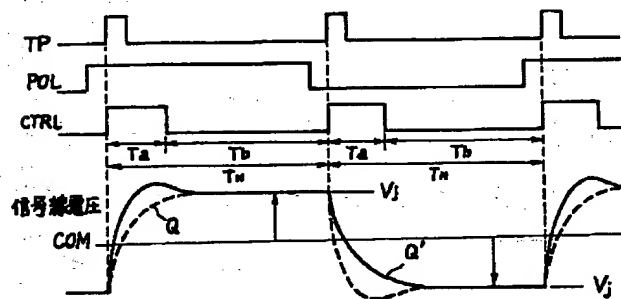
【図8】

入力データ		出力電圧	
HEX	binary		
0	000000	GMA1	(V ₀)
1	000001	GMA2+(GMA1-GMA2)*9/14	(V ₁)
2	000010	GMA2+(GMA1-GMA2)*7/14	(V ₂)
3	000011	GMA2+(GMA1-GMA2)*5/14	(V ₃)
4	000100	GMA2+(GMA1-GMA2)*4/14	(V ₄)
5	000101	GMA2+(GMA1-GMA2)*3/14	(V ₅)
6	000110	GMA2+(GMA1-GMA2)*2/14	(V ₆)
7	000111	GMA2+(GMA1-GMA2)*1/14	(V ₇)
8	001000	GMA2	(V ₈)
9	001001	GMA3+(GMA2-GMA3)*7/8	(V ₉)
A	001010	GMA3+(GMA2-GMA3)*6/8	(V ₁₀)
B	001011	GMA3+(GMA2-GMA3)*5/8	(V ₁₁)
C	001100	GMA3+(GMA2-GMA3)*4/8	(V ₁₂)
D	001101	GMA3+(GMA2-GMA3)*3/8	(V ₁₃)
E	001110	GMA3+(GMA2-GMA3)*2/8	(V ₁₄)
F	001111	GMA3+(GMA2-GMA3)*1/8	(V ₁₅)
10	010000	GMA3	(V ₁₆)
11	010001	GMA4+(GMA3-GMA4)*7/8	(V ₁₇)
12	010010	GMA4+(GMA3-GMA4)*6/8	(V ₁₈)
13	010011	GMA4+(GMA3-GMA4)*5/8	(V ₁₉)
14	010100	GMA4+(GMA3-GMA4)*4/8	(V ₂₀)
15	010101	GMA4+(GMA3-GMA4)*3/8	(V ₂₁)
16	010110	GMA4+(GMA3-GMA4)*2/8	(V ₂₂)
17	010111	GMA4+(GMA3-GMA4)*1/8	(V ₂₃)
18	011000	GMA4	(V ₂₄)
19	011001	GMA5+(GMA4-GMA5)*7/8	(V ₂₅)
1A	011010	GMA5+(GMA4-GMA5)*6/8	(V ₂₆)
1B	011011	GMA5+(GMA4-GMA5)*5/8	(V ₂₇)
1C	011100	GMA5+(GMA4-GMA5)*4/8	(V ₂₈)
1D	011101	GMA5+(GMA4-GMA5)*3/8	(V ₂₉)
1E	011110	GMA5+(GMA4-GMA5)*2/8	(V ₃₀)

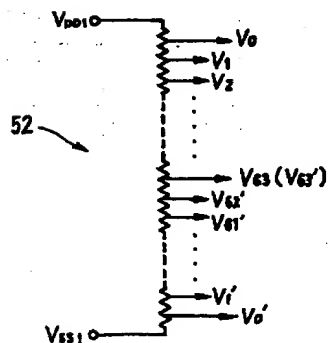
【図9】

入力データ		出力電圧	
HEX	binary		
1F	011111	GMA5+(GMA4-GMA5)*1/8	(V ₃₁)
20	100000	GMA5	(V ₃₂)
21	100001	GMA6+(GMA5-GMA6)*7/8	(V ₃₃)
22	100010	GMA6+(GMA5-GMA6)*6/8	(V ₃₄)
23	100011	GMA6+(GMA5-GMA6)*5/8	(V ₃₅)
24	100100	GMA6+(GMA5-GMA6)*4/8	(V ₃₆)
25	100101	GMA6+(GMA5-GMA6)*3/8	(V ₃₇)
26	100110	GMA6+(GMA5-GMA6)*2/8	(V ₃₈)
27	100111	GMA6+(GMA5-GMA6)*1/8	(V ₃₉)
28	101000	GMA6	(V ₄₀)
29	101001	GMA7+(GMA6-GMA7)*7/8	(V ₄₁)
2A	101010	GMA7+(GMA6-GMA7)*6/8	(V ₄₂)
2B	101011	GMA7+(GMA6-GMA7)*5/8	(V ₄₃)
2C	101100	GMA7+(GMA6-GMA7)*4/8	(V ₄₄)
2D	101101	GMA7+(GMA6-GMA7)*3/8	(V ₄₅)
2E	101110	GMA7+(GMA6-GMA7)*2/8	(V ₄₆)
2F	101111	GMA7+(GMA6-GMA7)*1/8	(V ₄₇)
30	110000	GMA7	(V ₄₈)
31	110001	GMA8+(GMA7-GMA8)*7/8	(V ₄₉)
32	110010	GMA8+(GMA7-GMA8)*6/8	(V ₅₀)
33	110011	GMA8+(GMA7-GMA8)*5/8	(V ₅₁)
34	110100	GMA8+(GMA7-GMA8)*4/8	(V ₅₂)
35	110101	GMA8+(GMA7-GMA8)*3/8	(V ₅₃)
36	110110	GMA8+(GMA7-GMA8)*2/8	(V ₅₄)
37	110111	GMA8+(GMA7-GMA8)*1/8	(V ₅₅)
38	111000	GMA8	(V ₅₆)
39	111001	GMA9+(GMA8-GMA9)*11/12	(V ₅₇)
3A	111010	GMA9+(GMA8-GMA9)*10/12	(V ₅₈)
3B	111011	GMA9+(GMA8-GMA9)*9/12	(V ₅₉)
3C	111100	GMA9+(GMA8-GMA9)*8/12	(V ₆₀)
3D	111101	GMA9+(GMA8-GMA9)*7/12	(V ₆₁)
3E	111110	GMA9+(GMA8-GMA9)*6/12	(V ₆₂)
3F	111111	GMA9	(V ₆₃)

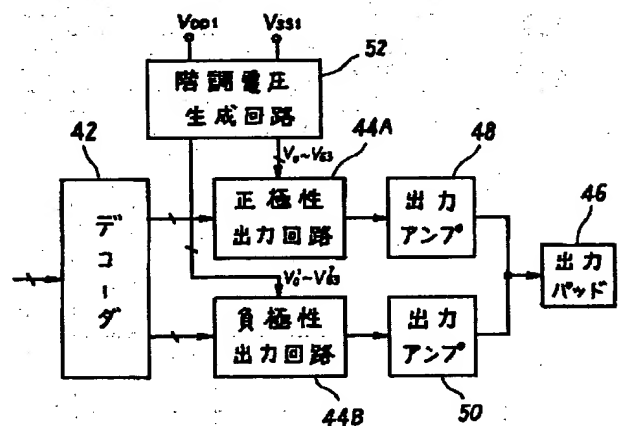
【図10】



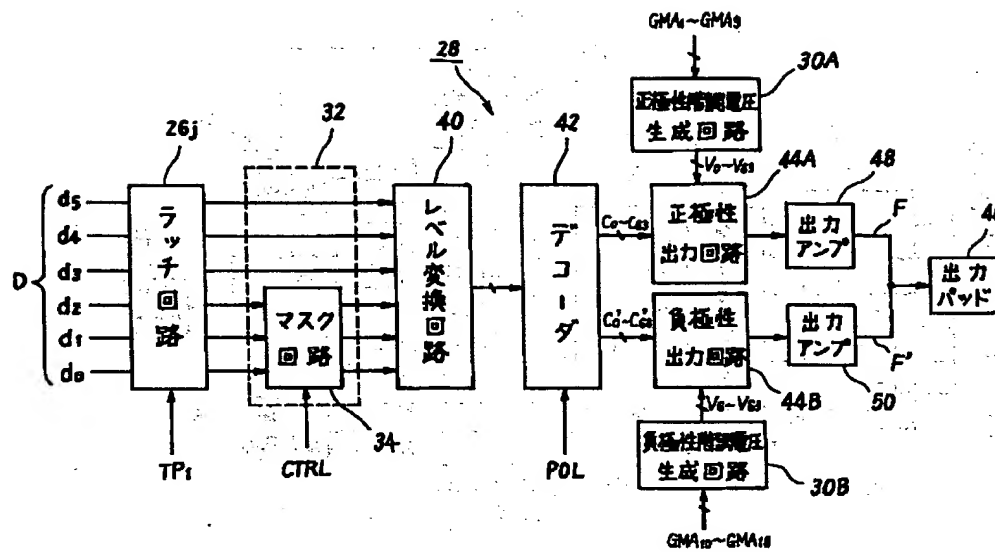
【図13】



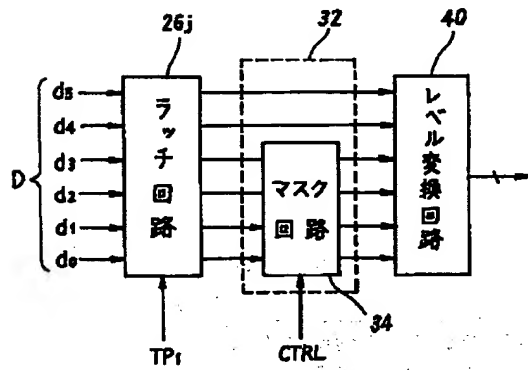
【図12】



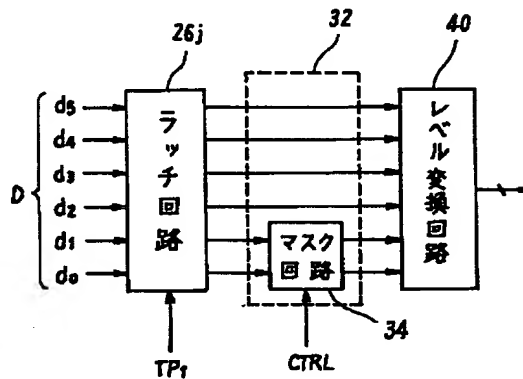
【図11】



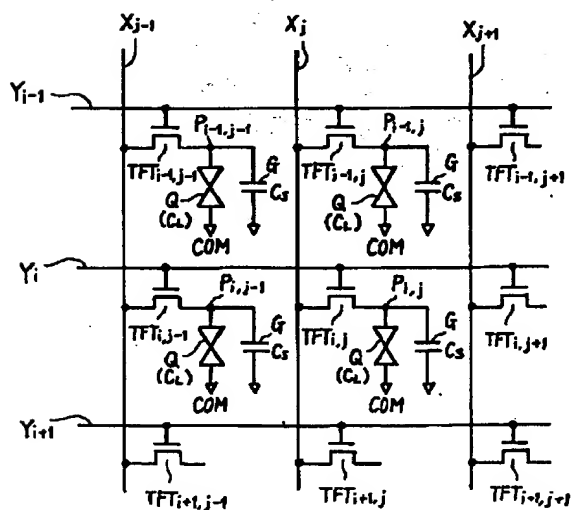
【図14】



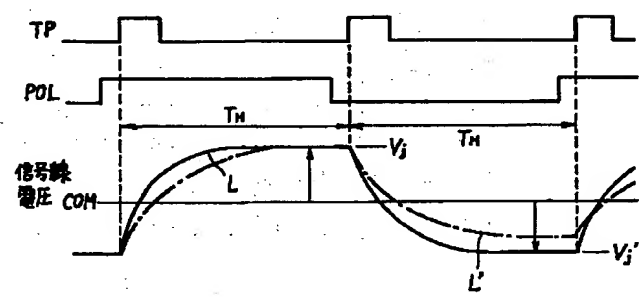
【図15】



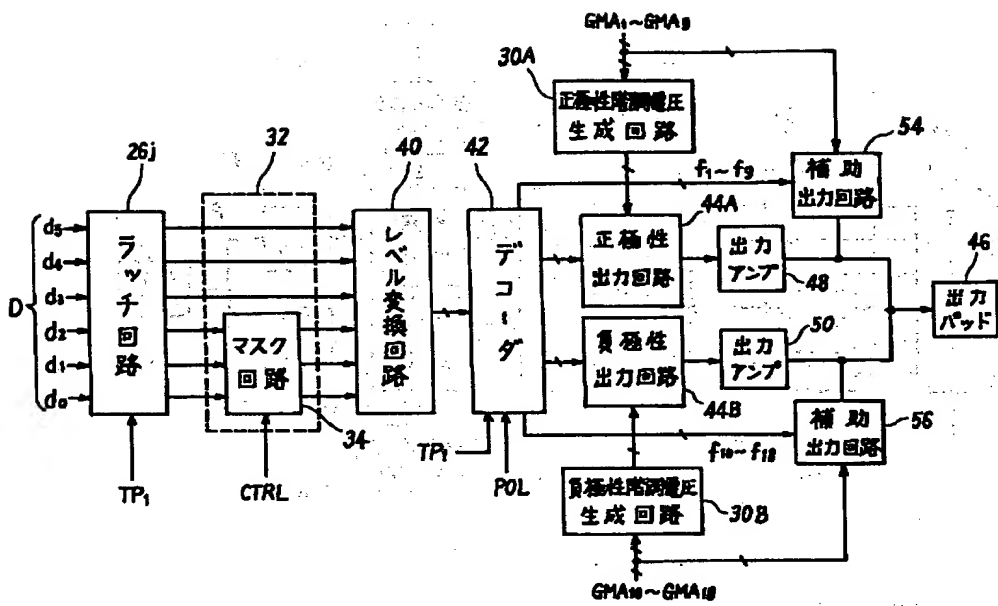
【図19】



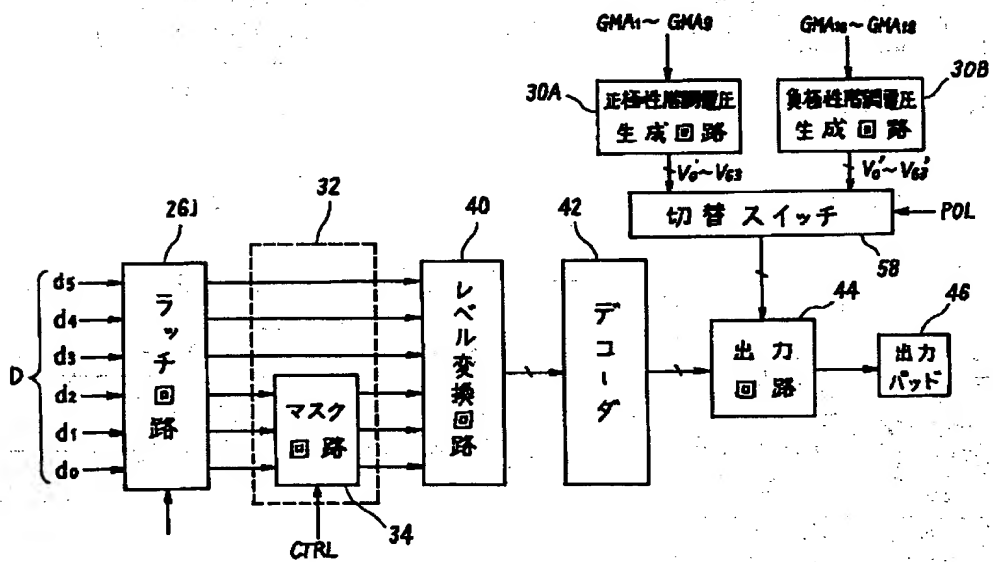
【図21】



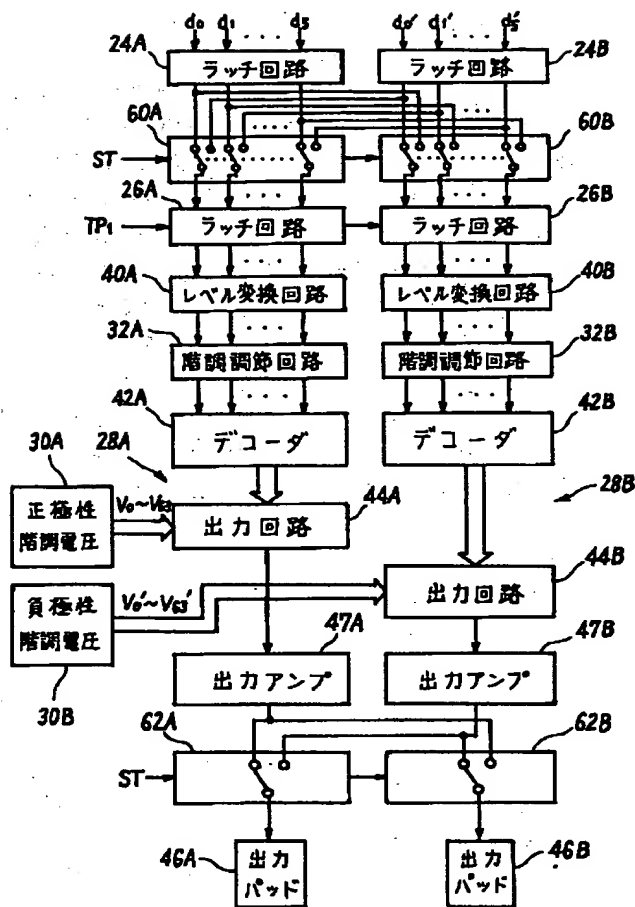
【図16】



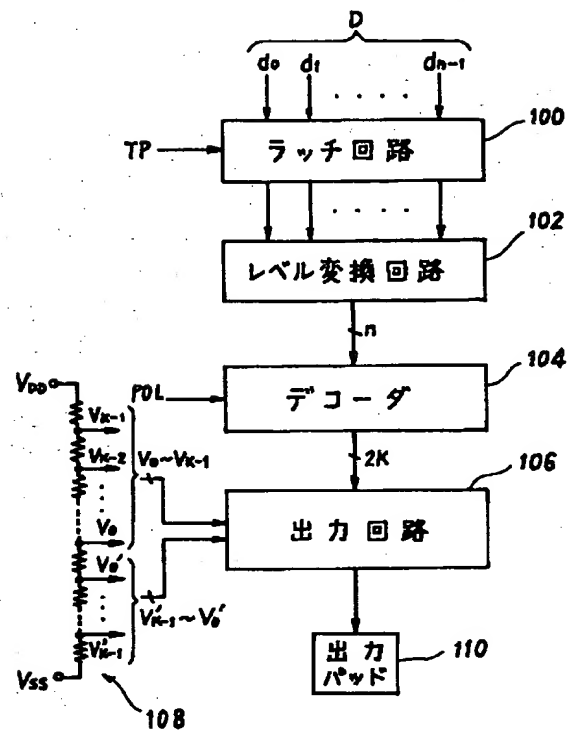
【図17】



【図18】



【図20】



【手続補正書】

【提出日】平成10年11月9日(1998.11.9)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求項の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】マトリクス状に配置された複数の画素電極と1つの対向電極との間に液晶が充填され、各々の前記画素電極は各対応する薄膜トランジスタを介して各対応する信号線に電気的に接続されるとともに、前記薄膜トランジスタの制御端子は各対応するゲート線に電気的に接続され、前記対向電極には所定の対向電極電圧が印加され、各々の前記画素電極には各対応する前記ゲート線が駆動される度毎に所望の表示階調に対応した電圧レベルを有する階調電圧が前記信号線および前記薄膜トランジスタを介して印加されるように構成された液晶ディ

スプレイ用の信号線駆動回路において、
前記対向電極電圧に対して相対的に正の極性を有し、かつ設定された全ての表示階調にそれぞれ対応した電圧レベルを有する複数の正極性階調電圧を発生する第1の階調電圧発生手段と、
前記対向電極電圧に対して相対的に負の極性を有し、かつ設定された全ての表示階調にそれぞれ対応した電圧レベルを有する複数の負極性階調電圧を発生する第2の階調電圧発生手段と、
各々の前記信号線に対してライン周期で与えられる1画素分の所望の表示階調を表すNビット($N > 2$)のデジタル階調データを保持するデータラッチ手段と、
1ライン分の液晶駆動期間のうち開始直後の第1の期間は前記階調データの上位Mビット($M < N$)をデコードして、前記第1または第2の階調電圧発生手段より与えられる前記複数の正極性階調電圧もしくは負極性階調電圧の中から前記上位Mビットの値に対応した階調電圧を選択して前記信号線に出力し、残りの第2の期間は前

記階調データの全ビットをデコードして、前記第1または第2の階調電圧発生手段より与えられる前記複数の正極性階調電圧もしくは負極性階調電圧の中から前記全ビットの値に対応した階調電圧を選択して前記信号線に出力するデジタル・アナログ変換手段とを有する信号線駆動回路。

【請求項2】 前記第1または第2の階調電圧発生手段が、少なくとも2つの基準電圧を所定の抵抗値を有する複数の抵抗で分圧して前記複数の正極性階調電圧または負極性階調電圧を生成する抵抗分圧回路を含むことを特徴とする請求項1に記載の信号線駆動回路。

【請求項3】 前記第1または第2の階調電圧発生手段が、前記複数の正極性階調電圧または負極性階調電圧のうち前記階調データの上位Mビットで指定される $2^M + 1$ 個の階調電圧を基準電圧として発生する基準電圧電源と、前記基準電圧電源からの前記 $2^M + 1$ 個の基準電圧を所定の抵抗値を有する複数の抵抗で分圧して残りの階調電圧を生成する抵抗分圧回路とを有することを特徴とする請求項1に記載の信号線駆動回路。

【請求項4】 マトリクス状に配置された複数の画素電極と1つの対向電極との間に液晶が充填され、各々の前記画素電極は各対応する薄膜トランジスタを介して各対応する信号線に電気的に接続されるとともに、前記薄膜トランジスタの制御端子は各対応するゲート線に電気的に接続され、前記対向電極には所定の対向電極電圧が印加され、各々の前記画素電極には各対応する前記ゲート線が駆動される度毎に所望の表示階調に対応した電圧レベルを有する階調電圧が前記信号線および前記薄膜トランジスタを介して印加されるように構成された液晶ディスプレイ用の信号線駆動回路において、各々の前記信号線に対してライン周期で与えられる1画素分の所望の表示階調を表すNビット($N > 2$)のデジタル階調データを保持するデータラッチ手段と、前記対向電極電圧に対して相対的に正の極性を有し、かつ設定された全ての表示階調にそれぞれ対応した電圧レベルを有する複数の正極性階調電圧のうち前記階調データの上位Mビット($M < N$)で指定可能な $2^M + 1$ 個の階調電圧を基準電圧として発生する第1の基準電圧電源と、

前記第1の基準電圧電源より与えられる前記 $2^M + 1$ 個の基準電圧を所定の抵抗値を有する複数の抵抗で分圧して前記複数の正極性階調電圧を発生する第1の抵抗分圧回路と、前記対向電極電圧に対して相対的に負の極性を有し、かつ設定された全ての表示階調にそれぞれ対応した電圧レベルを有する複数の負極性階調電圧のうち前記階調データの上位Mビットで指定可能な $2^M + 1$ 個の階調電圧を基準電圧として発生する第2の基準電圧電源と、前記第2の基準電圧電源より与えられる前記 $2^M + 1$ 個の基準電圧を所定の抵抗値を有する複数の抵抗で分圧

して前記複数の負極性階調電圧を発生する第2の抵抗分圧回路と、

1ライン分の液晶駆動期間のうち開始直後の第1の期間は前記階調データの上位Mビット($M < N$)をデコードして、前記第1の基準電圧電源より与えられる前記 $2^M + 1$ 個の正極性階調電圧もしくは負極性階調電圧の中から前記上位Mビットに対応した階調電圧を選択して前記信号線に出力し、残りの第2の期間は前記階調データの全ビットをデコードして、前記第1または第2の抵抗分圧回路より与えられる前記複数の正極性階調電圧もしくは負極性階調電圧の中から前記全ビットに対応した階調電圧を選択して前記信号線に出力するデジタル・アナログ変換手段とを有する信号線駆動回路。

【請求項5】 入力端子が前記デジタル・アナログ変換手段の出力端子に電気的に接続されるとともに、出力端子が前記信号線に電気的に接続された増幅器を有する請求項1～4のいずれかに記載の信号線駆動回路。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正内容】

【0009】この信号線駆動回路において、ラッチ回路100には、1ライン周期で与えられるタイミングパルスTPに反応して1画素分の入力画像データDが取り込まれる。画像データDは、そのビット数nで表現可能な 2^n 個の表示階調の中のいずれか1つをそのデータ値(d_0, d_1, \dots, d_{n-1})で指定する階調データである。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正内容】

【0011】デコーダ104の後段に設けられている出力回路106には、抵抗分圧回路からなる階調電圧発生回路108より、設定された全ての(2^n 個)の表示階調にそれぞれ対応した電圧レベルを有する複数の階調電圧 $V_0 \sim V_{K-1}, V'_0 \sim V'_{K-1}$ ($K = 2^n$)が供給される。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0027

【補正方法】変更

【補正内容】

【0027】請求項3に記載の発明は、上記請求項1に記載の発明の構成において、前記第1または第2の階調電圧発生手段が、前記複数の正極性階調電圧または負極性階調電圧のうち前記階調データの上位Mビットで指定される $2^M + 1$ 個の階調電圧を基準電圧として発生する

基準電圧電源と、前記基準電圧電源からの前記 $2^M + 1$ 個の基準電圧を所定の抵抗値を有する複数の抵抗で分圧して残りの階調電圧を生成する抵抗分圧回路とを有することを特徴とする。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0028

【補正方法】変更

【補正内容】

【0028】請求項4に記載の発明は、マトリクス状に配置された複数の画素電極と1つの対向電極との間に液晶が充填され、各々の前記画素電極は各対応する薄膜トランジスタを介して各対応する信号線に電気的に接続されるとともに、前記薄膜トランジスタの制御端子は各対応するゲート線に電気的に接続され、前記対向電極には所定の対向電極電圧が印加され、各々の前記画素電極には各対応する前記ゲート線が駆動される度毎に所望の表示階調に対応した電圧レベルを有する階調電圧が前記信号線および前記薄膜トランジスタを介して印加されるように構成された液晶ディスプレイ用の信号線駆動回路において、各々の前記信号線に対してライン周期で与えられる1画素分の所望の表示階調を表すNビット ($N > 2$) のデジタル階調データを保持するデータラッチ手段と、前記対向電極電圧に対して相対的に正の極性を有し、かつ設定された全ての表示階調にそれぞれ対応した電圧レベルを有する複数の正極性階調電圧のうち前記階

調データの上位Mビット ($M < N$) で指定可能な $2^M + 1$ 個の階調電圧を基準電圧として発生する第1の基準電圧電源と、前記第1の基準電圧電源より与えられる前記 $2^M + 1$ 個の基準電圧を所定の抵抗値を有する複数の抵抗で分圧して前記複数の正極性階調電圧を発生する第1の抵抗分圧回路と、前記対向電極電圧に対して相対的に負の極性を有し、かつ設定された全ての表示階調にそれぞれ対応した電圧レベルを有する複数の負極性階調電圧のうち前記階調データの上位Mビットで指定可能な $2^M + 1$ 個の階調電圧を基準電圧として発生する第2の基準電圧電源と、前記第2の基準電圧電源より与えられる前記 $2^M + 1$ 個の基準電圧を所定の抵抗値を有する複数の抵抗で分圧して前記複数の負極性階調電圧を発生する第2の抵抗分圧回路と、1ライン分の液晶駆動期間のうち開始直後の第1の期間は前記階調データの上位Mビット ($M < N$) をデコードして、前記第1の基準電圧電源より与えられる前記 $2^M + 1$ 個の正極性階調電圧もしくは負極性階調電圧の中から前記上位Mビットに対応した階調電圧を選択して前記信号線に出力し、残りの第2の期間は前記階調データの全ビットをデコードして、前記第1または第2の抵抗分圧回路より与えられる前記複数の正極性階調電圧もしくは負極性階調電圧の中から前記全ビットに対応した階調電圧を選択して前記信号線に出力するデジタル・アナログ変換手段とを有する構成とした。

フロントページの続き

Fターム(参考) 2H093 NA16 NA34 NA80 NC13 NC15
NC16 NC22 NC23 NC25 NC26
NC34 ND16 ND34 ND39 ND53
5C006 AA16 AA22 AC27 AF42 AF46
AF51 AF83 BB16 BC06 BC12
BC20 BF03 BF04 BF25 BF26
BF27 BF43 BF46 EB04 FA47
FA56
5C080 AA10 BB05 CC03 DD25 DD26
EE29 EE30 FF11 JJ02 JJ03
JJ04 JJ05